

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139355

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 31/10

H 0 1 L 31/10

A

審査請求 有 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平6-273816

(22) 出願日 平成6年(1994)11月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 辻 正芳

東京都港区芝五丁目7番1号 日本電気株式会社内

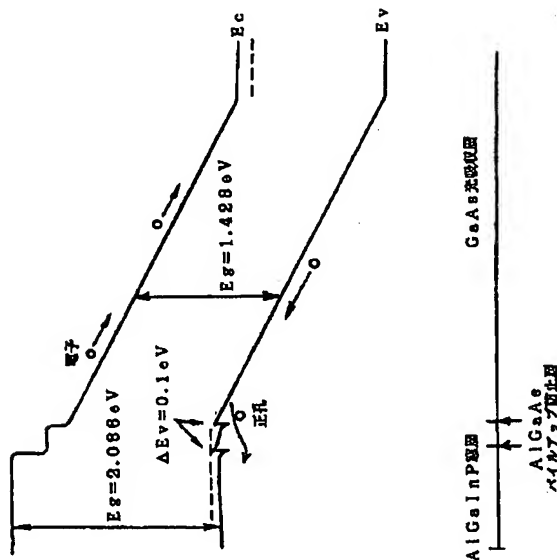
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体受光素子

(57) 【要約】

【目的】 プラスチックファイバーを利用した短距離光通信に使用される $0.6\mu\text{m}$ 帯の受光素子において、大受光径・高速特性・高量子効率を有する素子を提供する。

【構成】 光吸収層に $i\text{-GaAs}$ 、表面再結合防止用の窓層として AlGaInP を、また正孔のバイルアップ防止用として両者の間に AlGaAs を挿入した化合物半導体材料によるPIN-PDを構成する。また、上記光通信には、アライメントフリーにするためより大きな受光径が必要とされるが、これによる容量増加と素子帯域がトレードオフの関係にあり、大受光径・広帯域を実現することが難しい。そこで、素子構造内に2つのpn接合を形成することで容量の低減を図り、素子特性を改善した。



【特許請求の範囲】

【請求項1】半導体基板上に光吸収層を積層して形成する半導体受光素子において、前記半導体受光素子の構造内に2つ以上のpn接合を有することを特徴とする半導体受光素子。

【請求項2】前記半導体受光素子は光吸収層が0.6μm帯光に感度を有するGaAsで形成することを特徴とする請求項1記載の半導体受光素子。

【請求項3】前記半導体受光素子はウインドー構造を持ち、表面再結合を抑制する前記ウインドー構造がAlGaInPで形成されていることを特徴とする請求項2記載の半導体受光素子。

【請求項4】前記半導体受光素子はGaAs光吸収層とAlGaInP窓層との間にAlGaAs層を配置したことを特徴とする請求項3記載の半導体受光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光通信や光情報処理、光計測等で用いられる半導体受光素子において、主にPIN型フォトダオード(PIN-PD)に関するものである。

【0002】

【従来の技術】近年、GI型プラスチックファイバーを利用した0.6μm帯光短距離光通信の研究が検討されている。GIプラスチックファイバーを用いた場合、伝送ロスが大きいので長距離の伝送には不向きであるが、ビル内あるいはコンピュータ間での短距離光通信においては、極めて安価であり、且つ、アライメントが容易という利点から期待されている。この短距離光通信に用いられる受光素子の候補としては、従来、1μm帯の光通信用半導体受光素子として利用されているSiを材料としたPIN型受光素子(「光通信素子工学」、米津氏著、工学図書株式会社刊、364頁(1983)に記載)が挙げられている。この半導体受光素子は、内部利得効果は有しないが、構造が簡単であり且つ比較的安価であること、また20V程度の動作電圧で駆動できること、さらに帯域としては1.5GHz程度を有していること等の特徴を有している。

【0003】図6に、典型的なSiのPIN-PDの構造図を示す。この構造は、リーチスルー型と呼ばれるものである動作原理は、逆バイアスを印加すると空乏層が、 n^+ / p^- (i) 界面から基板側に伸びる。その空乏化したSi光吸収層12で発生した光キャリアのうち、電界により正孔がp電極側に、電子がn電極側に走行、その後電極に到達して電流となることで光電変換がなされる。

【0004】

【発明が解決しようとする課題】プラスチックファイバーのコア径は600μm程度あり、受光素子の受光径としては、500μmφ以上が求められる。しかしなが

ら、500μmφ以上のように大受光径化した場合、素子の容量が増大し、素子の帯域はCR時定数に制限され、高速特性を得ることができなかった。

【0005】またSiのPIN-PDでは、図6に示したようにホモ接合構造であり、表面再結合と表面高濃度層内での光励起-再結合により外部量子効率が劣化する。これは、特に短波長になるほど、顕著になる。更に、0.6μm光に対するSiの吸収係数が小さいために、光吸収層を厚くする必要があり(例えば、10~20μm)、これより走行時間遅延による帯域制限が生じている。

【0006】本発明の目的は、0.6μm帯光に感度を有するPIN-PDにおいて、大受光径・高量子効率・広帯域のPIN-PDを提供することである。

【0007】

【課題を解決するための手段】本発明の半導体受光素子は、半導体基板上に光吸収層を積層して形成する半導体受光素子において、前記半導体受光素子の構造内に2つ以上のpn接合を有することを特徴とする。また、前記半導体受光素子は光吸収層が0.6μm帯光に感度を有するGaAsで形成することを特徴とする。また、前記半導体受光素子はウインドー構造を持ち、表面再結合を抑制する前記ウインドー構造がAlGaInPで形成されていることを特徴とする。また前記半導体受光素子はGaAs光吸収層とAlGaInP窓層との間にAlGaAs層を配置したことを特徴とする。

【0008】

【作用】図1は、本発明の半導体受光素子の作用を説明するための図であり、図1(a)は素子構造の概略図であり、図1(b)はその等価回路をしめす。図1(a)に示す素子構造のように $p^+ - i - n - p^+$ となるように各層を積層し、pn接合を2箇所もうける。これにより容量が2カ所で直列に生じる。図1(b)に示す等価回路では I_p は光吸収層で発生した光電流、 C_1 は光吸収層の静電容量、 R_1 は2つの容量を接続するn層の抵抗、 R_2 は順バイアスされるダイオードの抵抗で、上記光電流に依存する。 C_2 は順バイアスされるダイオードの静電容量である。 C_s は寄生容量、 R_L は負荷抵抗となっている。

【0009】大受光径の素子の場合、CR時定数制限により帯域が制限される。帯域 f は、 $f = 1 / (2\pi CR)$ で表されるが、負荷抵抗50Ωの場合、素子容量が3pFでの帯域は約1GHz程度であるが、本発明では上記の本発明3の素子の等価回路に示すように容量が直列に配置することにより容量を1/2程度まで低減することが可能であり、この場合上記帯域計算例の1GHzに対し、同受光径において2GHzを得ることができ。即ち、CR制限の帯域を2倍に拡大することが可能となる。

【0010】さらに、光吸収層に化合物半導体材料であ

3

るGaAsを用いることにより、光吸収係数の改善と光吸収層薄膜化による帯域改善を図ることができる。

【0011】図2はSiとGaAsの光波長と吸収係数の関係を示している。図2から分かるように、0.67μm光に対するSiの光吸収係数が3000cm⁻¹程度であるのに対し、GaAsにおいては、20000cm⁻¹と約7倍の吸収係数を有していることが分かる。よって、原理的には、同じ外部量子効率を得るためには、GaAsの場合、Siの膜厚の1/7で良いことが分かる。この光吸収層の薄膜化は、キャリアの走行時間短縮と比例関係にあるので、PIN-PPDの帯域は大幅に改善される。

【0012】図3は、半導体受光素子のバンド構造と光吸収分布を示す。図3(a)は、GaAs光吸収層が表面に露出した素子のバンド図であり、図3(b)は、再結合防止用にAlGaInP窓層が配置されたときのバンド図である。

【0013】また、各々の素子における光吸収分布も合わせて示している。図3(a)の場合、p⁺-i-n⁺ホモ接合であるので、p⁺表面層近傍で吸収された光によるフォトキャリアのほとんどは表面欠陥等のトラップに捕獲、あるいは、p⁺中性領域での再結合により光電流に寄与しない。0.6μm光を受光する場合、表面近傍での吸収が大きく、よって量子効率が小さくなる。

【0014】一方、図3(b)のように、表面側にワイドギャップの窓層を配置した場合、0.6μm光は窓層では吸収されず、GaAs層でのみ吸収される。そのうえ、GaAs層で発生したフォトキャリアは、(a)と比べて中性領域での光吸収が無く、且つ、ヘテロ界面での再結合の影響は比較的少ないため、外部量子効率を大幅に改善することができる。

【0015】図4は、GaAs光吸収層とAlGaInP窓層との間にAlGaAsパイルアップ防止層を配置したときのバンド図を示す。GaAs光吸収層で発生したフォトキャリアの内、電子はn側電極側に、正孔はp側電極側に走行するが、正孔に関してはAlGaInP窓層との価電子帯エネルギー差が0.2eV程度あるので、正孔パイルアップが生じて素子の帯域を劣化させてしまう。そこで、図4のように光吸収層と窓層の禁制帯幅の中間値程度の禁制帯幅を有するAlGaAsパイルアップ防止層を配置すると、正孔が感じる障壁の高さが0.1eV×2となり、パイルアップ現象が緩和される。これより、更に帯域を改善することができる。

【0016】

【実施例】本発明の実施例について、図面を用いて詳細に説明する。図5は、本発明の実施例のPIN-PPDの断面図である。構造としては、まず、p型GaAs(100)基板4上にn⁺型GaAsバッファ層2(n=1×10¹⁸cm⁻³)を0.3μm、n-型GaAs光吸収層3(n=1×10¹⁵cm⁻³)を5μm、n-型AlGaAs

4

sパイルアップ防止層6(n=1×10¹⁵cm⁻³)を100Å(オングストローム)、n型AlGaInP窓層5(n=2×10¹⁶cm⁻³, λ_g=600nm)を1μm積層する。その後、p⁺型受光領域7(p=5×10¹⁸cm⁻³)は、Cd3P2を拡散源とした570℃でのCd拡散により作製した。pn接合径は500μmとした。さらに、パッシベーション膜として表面にSiNx膜8を800Å(オングストローム)堆積させ、基板p側電極10として、AuZnを500Å(オングストローム)、TiPtAuを2000Å(オングストローム)堆積する。また、受光領域p側電極10として、AuZnを500Å(オングストローム)、TiPtAuを2000Å(オングストローム)堆積することにより、素子構造を完成する。

【0017】上述した素子構造のもとで、作用に述べた原理により、帯域4GHz、外部量子効率90%のPIN-PPDを実現した。また本素子の動作電圧は5Vである。

【0018】本発明による素子構造は、具体的には、MOVPE、MBE、ガスソースMBE等の成長技術により、作製することができる。

【0019】

【発明の効果】本発明により、0.6μm帯の光通信に使用されるPIN-PPDにおいて、受光径500μmφ、且つ、帯域3GHz以上の高速特性を有する高量子効率な素子を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例の素子構造の概略図とその等価回路図である。

【図2】SiとGaAsの光波長と吸収係数の関係を示しめす図である。

【図3】半導体受光素子のバンド構造と光吸収分布を示す図である。

【図4】本発明の実施例のバンド図である。

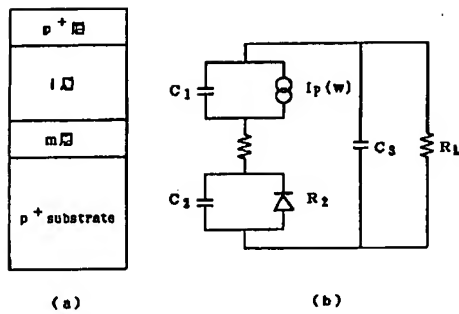
【図5】本発明の実施例を説明するための構造図である。

【図6】従来例のSiのPIN-PPDの構造図である。

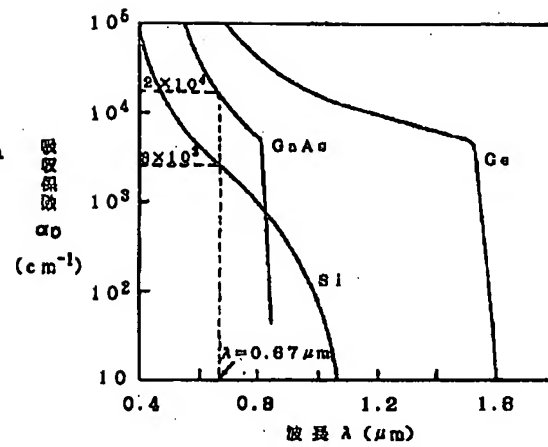
【符号の説明】

- 2 n⁺型GaAsバッファ層
- 3 n⁻型GaAs光吸収層
- 4 p型GaAs基板
- 5 n型AlGaInP窓層
- 6 n⁻型AlGaAsパイルアップ防止層
- 7 p⁺型受光領域
- 8 SiNxパッシベーション膜
- 9 n側オーミック電極
- 10 p側オーミック電極
- 11 入射光
- 12 Si光吸収層
- 13 SiO₂パッシベーション膜

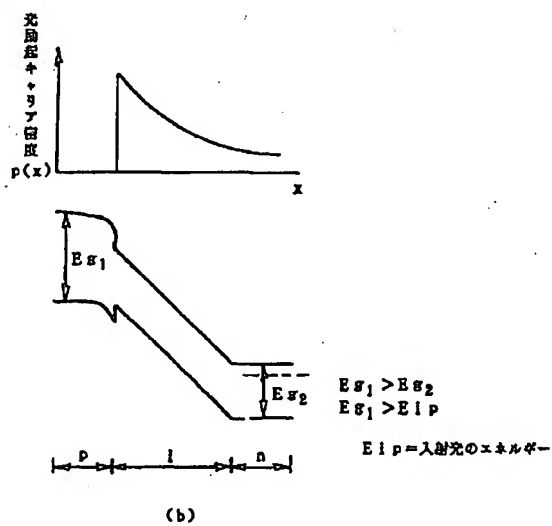
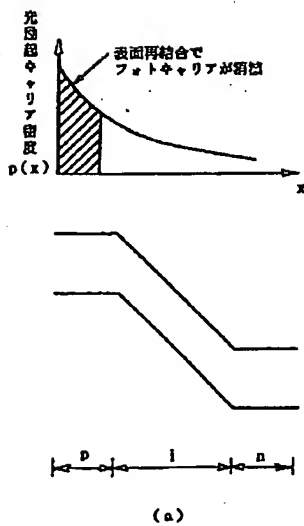
【図1】



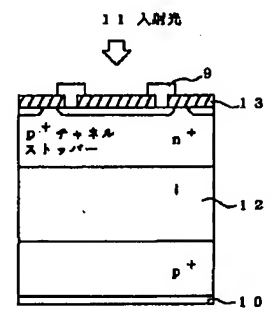
【図2】



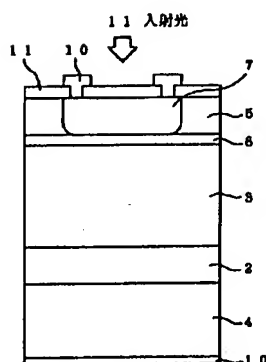
【図3】



【図6】



【図5】



【図4】

